

#4

P2001,0097

I hereby certify that this correspondence is being deposited with the United States Postal Service with sufficient postage as first class mail in an envelope addressed to: Assistant Commissioner for Patents, Washington, D.C. 20231.

By:  Date: April 4, 2002

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant : Detlev Richter
Appl. No. : 10/075,656
Filed : February 13, 2002
Title : Semiconductor Module with a Configuration for the Self-Test of
a Plurality of Interface Circuits and Test Method

CLAIM FOR PRIORITY

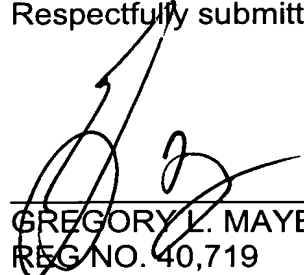
Hon. Commissioner of Patents and Trademarks,
Washington, D.C. 20231

Sir:

Claim is hereby made for a right of priority under Title 35, U.S. Code, Section 119, based upon the German Patent Application 101 06 556.6 filed February 13, 2001.

A certified copy of the above-mentioned foreign patent application is being submitted herewith.

Respectfully submitted,



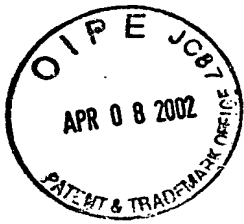
GREGORY L. MAYBACK
REG NO. 40,719

Date: April 4, 2002

Lerner and Greenberg, P.A.
Post Office Box 2480
Hollywood, FL 33022-2480
Tel: (954) 925-1100
Fax: (954) 925-1101

/mjb

BUNDESREPUBLIK DEUTSCHLAND



Prioritätsbescheinigung über die Einreichung einer Patentanmeldung

Aktenzeichen: 101 06 556.6

Anmeldetag: 13. Februar 2001

Anmelder/Inhaber: Infineon Technologies AG, München/DE

Bezeichnung: Halbleiterbaustein mit einer Anordnung zum Selbsttest einer Mehrzahl von Interfaceschaltungen und Testverfahren

IPC: G 01 R, G 06 F, G 11 C

Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ursprünglichen Unterlagen dieser Patentanmeldung.

München, den 14. Februar 2002
Deutsches Patent- und Markenamt
Der Präsident
Im Auftrag

Brand

Beschreibung

Halbleiterbaustein mit einer Anordnung zum Selbsttest einer Mehrzahl von Interfaceschaltungen und Testverfahren

5

Die vorliegende Erfindung betrifft einen Halbleiterbaustein mit einer Mehrzahl von Interfaceschaltungen und einer Anordnung zum Selbsttest von Interfaceschaltungen. Die Anmeldung betrifft weiter ein Verfahren zum Selbsttest von Interfaceschaltungen eines derartigen Halbleiterbausteins.

10

Alle Halbleiterbausteine kommunizieren mit anderen Bauelementen über I/O-Interfaceschaltungen. Bei schnellen Interfaceschaltungen, beispielsweise LVDS (Low-Voltage Differential Signals) oder DDR (Double Data Rate) erfordern die notwendigen Funktionstests eine sehr hohe Genauigkeit in Bezug auf Zeitsteuerung und Spannung.

15

20

Die verbreitetste Testmethode benutzt externe Testsysteme sehr hoher Genauigkeit bezüglich Zeitsteuerung und Spannung, die über eine Vielzahl von Signalleitungen mit den zu testenden Bausteinen verbunden werden. Diese Vorgehensweise stößt jedoch zunehmend an ihre Grenzen, da Testsysteme mit der für die gegenwärtigen schnellen Interfaceschaltungen notwendigen hohen Genauigkeit sehr kostspielig sind und teilweise mit den erforderlichen Spezifikation am Markt nicht verfügbar sind.

25

30

Eine Möglichkeit, auf ein externes Testsystem zu verzichten, besteht darin, eine On-Chip-Testlogik mit PLL (Phase-Locked Loop) oder DLL (Delayed Locked Loop) vorzusehen. Diese Vorgehensweise ist jedoch sehr aufwendig und benötigt eine sehr große Chipfläche für die Integration der hochgenauen PLL- oder DLL-Testlogik.

35

Hier setzt die Erfindung an. Der Erfindung, wie sie in den Ansprüchen gekennzeichnet ist, liegt die Aufgabe zugrunde, eine Methode anzugeben, wie schnelle Interfaceschaltungen von

Halbleiterbausteinen zuverlässig und mit geringem Aufwand getestet werden können. Diese Aufgabe wird durch den Halbleiterbaustein nach Anspruch 1 und das Verfahren zum Selbsttest von Interfaceschaltungen nach Anspruch 7 gelöst.

5

Ein Halbleiterbaustein mit einer Mehrzahl von Interfaceschaltungen weist erfindungsgemäß eine Anordnung zum Selbsttest von Interfaceschaltungen auf, welche umfaßt:

- zwei gleich große Gruppen von Interfaceschaltungen, derart,
10 daß jeder Interfaceschaltung der ersten Gruppe genau eine Interfaceschaltung der zweiten Gruppe zugeordnet ist,
- eine mit der ersten Gruppe zusammenwirkende Schaltung zur Erzeugung von über die Interfaceschaltung der ersten Gruppe ausgebbaren Testsignalen,
- 15 - eine mit der zweiten Gruppe zusammenwirkende Schaltung zum Empfangen und Verarbeiten von über die Interfaceschaltungen der zweiten Gruppe empfangenen Testsignalen, so daß eine Verbindung der zugeordneten Interfaceschaltungen der ersten und zweiten Gruppe einen Selbsttest ermöglicht,
- 20 wobei die erste Gruppe und zweite Gruppe von Interfaceschaltungen eine getrennte Spannungsversorgung aufweisen.

25

Die Erfindung beruht somit auf dem Gedanken, die Interfaceschaltungen zum Testen ihrer selbst zu nutzen. Dazu werden die Interfaceschaltungen in zwei Gruppen aufgeteilt und es werden Testsignale über die erste Gruppe von Interfaceschaltungen ausgegeben. Über eine externe Verbindung der ersten Gruppe mit der zweiten Gruppe von Interfaceschaltungen während des Selbsttests gelangen die Testsignale zur zweiten
30 Gruppe von Interfaceschaltungen, wo die Testsignale in einer Schaltung empfangen und verarbeitet werden.

35

Die getrennte Spannungsversorgung der ersten und zweiten Gruppe von Interfaceschaltungen erlaubt dabei eine gute Testabdeckung durch eine getrennte Variation der Spannung von sendender und empfangender Gruppe.

Bevorzugt weist der Halbleiterbaustein weiter eine mit der zweiten Gruppe zusammenwirkende Schaltung zur Erzeugung von über die Interfaceschaltung der zweiten Gruppe ausgebenen Testsignalen und eine mit der ersten Gruppe zusammenwirkende Schaltung zum Empfangen und Verarbeiten von über die Interfaceschaltung der ersten Gruppe empfangenen Testsignalen auf. Dadurch ist es möglich, beide Gruppen von Interfaceschaltungen zu testen, wobei jede Gruppe einmal als Sender und einmal als Empfänger der Testsignale auftritt.

10

Die Schaltung oder die Schaltungen zur Erzeugung von Testsignalen umfassen vorteilhaft einen Pseudozufallszahlengenerator, insbesondere ein linear-rückgekoppeltes Schieberegister (LFSR).

15

Die Schaltung oder die Schaltungen zum Empfangen und Verarbeiten von Testsignalen umfassen vorteilhaft eine Schaltung zum Berechnen einer Signatur aus den Testsignalen, insbesondere ein Multiple-Input-Shift-Register (MISR).

20

Beim Selbsttest der Interfaceschaltungen eines derartigen Halbleiterbausteins werden die zugeordneten Interfaceschaltungen der ersten und der zweiten Gruppe miteinander verbunden, beide Gruppen mit einer separaten Versorgungsspannung versorgt, Testsignale erzeugt und über die erste Gruppe von Interfaceschaltungen ausgegeben, die Testsignale über die zweite Gruppe von Interfaceschaltungen empfangen und ein Vergleich der empfangenen Testsignale mit Vorgabewerten für fehlerfreie Funktion der Interfaceschaltungen durchgeführt.

30

Bevorzugt weisen beide Gruppen eine Schaltung zur Erzeugung von Testsignalen auf, so daß nach dem Abarbeiten der von der ersten Gruppe ausgegebenen und von der zweiten Gruppe von Interfaceschaltungen empfangenen Testsignale die Testrichtung umgedreht werden kann. Dann werden die von der mit der zweiten Gruppe zusammenwirkenden Schaltung erzeugten Testsignale über die zweite Gruppe von Interfaceschaltungen ausgegeben,

35

über die erste Gruppe von Interfaceschaltungen empfangen, und die empfangenen Testsignale mit Vorgabewerten für fehlerfreie Funktion der Interfaceschaltung verglichen.

- 5 In einer bevorzugten Ausgestaltung werden die Verbindungsstrecken der zugeordneten Interfaceschaltungen beim Testen resistiv, kapazitiv oder induktiv beeinflusst, um durch die Einbeziehung von Störgrößen in den Selbsttest die Testabdeckung zu erhöhen.

10

Weiter kann auf zumindest einer der Versorgungsspannungen der Interfacegruppen eine niederfrequente Signalspannung aufmoduliert werden. Bevorzugt werden beiden Versorgungsspannungen niederfrequente Sinussignale mit verschiedener Frequenz auf-

15 moduliert, wodurch ein sehr anwendungsnaher Test des Timings erreicht wird, der sogar über die Möglichkeiten eines externen Testsystems hinausgeht.

20

Insgesamt ermöglicht die beschriebene Erfindung eine relativ kurze Testzeit, ohne daß hochgenaue Testsysteme bezüglich der Zeitsteuerung oder Spannung notwendig sind. Die übliche Fehlanpassung bei der kapazitiven Ankopplung der Hochgeschwindigkeits-Pins an das Testsystem entfällt. Dazu entsteht nur ein geringer zusätzlicher Hardwareaufwand auf dem Halbleiterbaustein, da keine PLL- oder DLL-Logik benötigt wird.

25

Im Produktionstest wird die beschriebene Testmethode zweckmäßig nach dem Verpacken der Chips eingesetzt, da sich die Boards dafür besser eignen als Nadelkarten.

30

Weitere vorteilhafte Ausgestaltungen, Merkmale und Details der Erfindung ergeben sich aus den abhängigen Ansprüchen, der Beschreibung der Ausführungsbeispiele und der Zeichnungen.

35

Die Erfindung soll nachfolgend anhand von Ausführungsbeispielen im Zusammenhang mit den Zeichnungen näher erläutert werden.

den. Es sind jeweils nur die für das Verständnis der Erfindung wesentlichen Elemente dargestellt. Dabei zeigt

5 Figur 1 eine schematische Darstellung eines Ausführungsbeispiels der Erfindung im Test mit einem DUT-Board;

 Figur 2 eine schematische Darstellung eines anderen Ausführungsbeispiels der Erfindung im Test mit einer Nadelkarte;

10

 Figur 3 eine schematische Darstellung eines weiteren Ausführungsbeispiels der Erfindung im Test mit einem DUT-Board.

15 Figur 1 zeigt einen Halbleiterbaustein 10 mit einem Logikkern 36 und I/O-Interfaceschaltungen 12a, 12b, 14a, 14b, denen Anschlußpads 22a, 22b, 24a, 24b auf dem Halbleiterbaustein zugeordnet sind. Dabei sind in der schematischen Darstellung der Figur 1 zur verständlicheren Illustration lediglich vier
20 I/O-Interfaceschaltungen gezeigt, während in realen Bauelementen die Zahl der I/O-Interfaceschaltungen in der Regel größer als vier ist, und beispielsweise 16 oder 32 beträgt.

 Die Interfaceschaltungen 12a - 14b sind in eine erste Gruppe, die die Interfaceschaltungen 12a und 12b enthält, und eine
25 zweite Gruppe, die die Interfaceschaltungen 14a und 14b enthält, aufgeteilt. Die beiden Gruppen weisen jeweils eine getrennte Spannungsversorgung auf. Zwar teilen sich alle Interfaceschaltungen 12a - 14 b die negative Versorgungsspannung
30 VSSP (Bezugszeichen 16), jedoch ist die positive Versorgungsspannung VDDP1 (Bezugszeichen 18) bzw. VDDP2 (Bezugszeichen 19) für beide Gruppen getrennt und über separate Anschlußpads 28, 29 auf dem Halbleiterchip 10 ausgeführt.

35 Jede Gruppe von Interfaceschaltungen ist mit einem linear-rückgekoppelten Schieberegister LFSR (Bezugszeichen 32a, 32b bzw. 34a, 34b) zur Erzeugung von pseudozufallsverteilten

Testsignalen verbunden. Weiter sind beide Gruppen von Interfaceschaltungen mit dem gemeinsamen Multiple Input Shift Register (MISR) 30 verbunden. Das MISR 30 berechnet aus empfangenen Testsignalen eine Signatur, die zur Überprüfung des korrekten Empfangs der Testsignale verwendet werden kann.

Der Halbleiterbaustein 10 befindet sich in gehäustem Zustand in einem Package 40, wobei die Anschlüsse der Interfaceschaltungen an Pins 42 - 49 des Packages herausgeführt sind. Zusätzlich wird die Versorgungsspannung 38, 39 für den Logikkern 36 bereitgestellt.

Für den Selbsttest wird der Halbleiterbaustein 10 mit einem DUT (Device Under Test)-Board 50 verbunden. Das DUT-Board 50 enthält eine Verbindung 52 auf, die den Pin 42a mit dem Pin 44a des Packages und damit die Interfaceschaltung 12a mit der Interfaceschaltung 14a verbindet. In gleicher Weise verbindet die Verbindung 54 die Pins 42b und 44b des Packages, und damit die Interfaceschaltungen 12b und 14b.

Beim Testbetrieb erzeugt nun zunächst das LFSR 34a, 34b eine Reihe von Testsignalen, die über die Interfaceschaltungen 14a, 14b ausgegeben werden und über die Verbindungen 52, 54 an die Interfaceschaltungen 12a, 12b und von dort zum MISR 30 gelangen, das eine Signatur aus den Testsignalen errechnet. Nach einer bestimmten Anzahl von empfangenen Testsignalen wird die berechnete Signatur mit einer Vorgabensignatur für fehlerfreie Funktion der Interfaceschaltung verglichen.

Danach wird die Testrichtung umgedreht, das heißt, das LFSR 32a, 32b erzeugt nun Testsignale, die über die Interfaceschaltungen 12a, 12b ausgegeben werden, über die Verbindungen 52, 54 und die Interfaceschaltungen 14a, 14b empfangen werden und zum MISR 30 zur Auswertung gelangen.

Um eine hohe Testabdeckung zu erreichen, wird der Test mehrfach durchlaufen und dabei die Spannung an den getrennten

Stromversorgungen 18, 48 bzw. 19, 49 für die beiden Interfacedhälften variiert. Die getrennte Stromversorgung erlaubt beispielsweise das Senden mit hoher Spannung an der einen Hälfte der Interfaceschaltung und das Empfangen an der anderen Hälfte der Interfaceschaltung mit geringer Spannung.

Über die Schalter 56a, 56b des DUT-Boards können die Verbindungen 52, 54 darüber hinaus gezielt mit Störgrößen, im Ausführungsbeispiel der Figur 1 mit kapazitiven Störungen beeinflusst werden. Anstelle der Kondensatoren C können die Verbindungen 52, 54 auch mit Impedanzen oder Widerständen induktiv bzw. resistiv beeinflusst werden.

Figur 2 zeigt als weiteres Ausführungsbeispiel ein LVDS (Low-Voltage Differential Signals)-Interface. Der Halbleiterbaustein 100 enthält einen Logikkern 136 mit Versorgungsspannungsanschlüssen 138, 139, und zwei LVDS-Pad-Paare 122a, 122b und 124a, 124b, die jeweils zu einem LVDS-Input 112, beziehungsweise einem LVDS-Output 114 gehören. Auch hier soll die Zahl von nur zwei Interfaceschaltungen nicht limitierend sein, sondern ist lediglich der einfacheren Illustration halber gewählt.

Beide Interfaceschaltungen 112, 114 weisen eine gemeinsame negative Versorgungsspannung VSSP (Bezugszeichen 116) aber eine getrennte positive Versorgungsspannung VDDP1 (Bezugszeichen 128) bzw. VDDP2 (Bezugszeichen 129) auf. Der LVDS-Output 114 ist mit einem LFSR 132 zur Erzeugung von Testsignalen verbunden, der LVDS-Input 112 mit einem MISR 130 zur Berechnung einer Signatur aus den empfangenen Testsignalen.

Ein Test mit aufgetrennter Versorgungsspannung kann bei dem Halbleiterbaustein 100 nur auf dem Wafer erfolgen, da der gehäuste Halbleiterbaustein am Package 140 nur einen einzigen VDDP-Pin 148 für die positive Versorgungsspannung aufweist (Figur 3). Beim Test auf dem Wafer wird der Halbleiterbaustein 100 mit einer Nadelkarte 150 getestet. Diese enthält

Verbindungen 152, 154, die die entsprechenden Pads 122a, 122b und 124a, 124b des LVDS-Inputs 112 und LVDS-Outputs 114 miteinander verbinden.

- 5 Über Schalter 156 sind die Verbindungen wieder kapazitiv, induktiv oder resistiv beeinflussbar. Zusätzlich zeigt Figur 2 die Möglichkeit, den beiden Versorgungsspannungen unterschiedliche niederfrequente Sinussignale U1 bzw. U2 aufzumodulieren. Beim schnellen Selbsttest wird die schnelle Frequenz von der PLL des Bausteins 100 selbst bereitgestellt.
- 10 Durch die aufmodulierten Versorgungsspannungsschwankungen U1, U2 in Kombination mit dem real vorhandenen PLL-Jitter wird eine umfassende Testabdeckung erreicht. Die LFSR/MISR-Schaltung befindet sich dabei vor der Multiplexer-Schaltung
- 15 im langsamen Frequenzbereich und ist einfach zu realisieren.

- Nach dem Vereinzeln und Verpacken sind die beiden Versorgungsspannungspads 128, 129 im Package 140 nur durch über einen einzigen Pin 148 von außen zugänglich, so daß dann die
- 20 Möglichkeit des Selbsttests mit aufgetrennter Versorgungsspannung entfällt (Figur 3). Jedoch ist auch hier ein Selbsttest mit einem DUT-Board 250 in der im Zusammenhang mit Figur 1 beschriebenen Art und Weise möglich.

Patentansprüche

1. Halbleiterbaustein mit einer Mehrzahl von Interfaceschaltungen und einer Anordnung zum Selbsttest von Interfaceschaltungen, welche umfaßt

- zwei gleich große Gruppen von Interfaceschaltungen (12a,12b,14a,14b; 112,114), derart daß jeder Interfaceschaltung der ersten Gruppe (12a,12b; 112) genau eine Interfaceschaltung der zweiten Gruppe (14a,14b; 114) zugeordnet ist,

- eine mit der ersten Gruppe (12a,12b; 112) zusammenwirkende Schaltung (32a,32b; 132) zur Erzeugung von über die Interfaceschaltungen der ersten Gruppe (12a,12b; 112) ausgebbaren Testsignalen;

- eine mit der zweiten Gruppe (14a,14b; 114) zusammenwirkende Schaltung (30; 130) zum Empfangen und Verarbeiten von über die Interfaceschaltungen der zweiten Gruppe (14a,14b; 114) empfangenen Testsignalen, so daß eine Verbindung (52,54; 152,154) der zugeordneten Interfaceschaltungen der ersten und zweiten Gruppe einen Selbsttest ermöglicht,

wobei die erste und zweite Gruppe von Interfaceschaltungen eine getrennte Spannungsversorgung (18,19; 118,119) aufweisen.

2. Halbleiterbaustein nach Anspruch 1, der weiter

- eine mit der zweiten Gruppe (14a,14b; 114) zusammenwirkende Schaltung (34a,34b) zur Erzeugung von über die Interfaceschaltungen der zweiten Gruppe (14a,14b; 114) ausgebbaren Testsignalen, und

- eine mit der ersten Gruppe (12a,12b; 112) zusammenwirkende Schaltung (30) zum Empfangen und Verarbeiten von über die Interfaceschaltungen der ersten Gruppe (12a,12b; 112) empfangenen Testsignalen aufweist.

3. Halbleiterbaustein nach Anspruch 1 oder 2, bei dem die

Schaltung oder die Schaltungen zur Erzeugung von Testsignalen einen Pseudo-Zufallszahlengenerator (32a,32b,34a,34b; 132) umfassen.

4. Halbleiterbaustein nach einem der vorigen Ansprüche, bei dem die Schaltung oder die Schaltungen zur Erzeugung von Testsignalen ein Linear-rückgekoppeltes Schieberegister
5 (32a,32b,34a,34b; 132) umfassen.

5. Halbleiterbaustein nach einem der vorigen Ansprüche, bei dem die Schaltung oder die Schaltungen zum Empfangen und Verarbeiten von Testsignalen eine Schaltung (30; 130) zum Berechnen einer Signatur aus den Testsignalen umfassen.
10

6. Halbleiterbaustein nach einem der vorigen Ansprüche, bei dem die Schaltung oder die Schaltungen zum Empfang und Verarbeitung von Testsignalen ein Multiple-Input-Shift-Register
15 (MISR) (30; 130) umfassen.

7. Verfahren zum Selbsttest von Interfaceschaltungen eines Halbleiterbausteins nach einem der vorigen Ansprüche, umfassend die Verfahrensschritte
20 - Verbinden der zugeordneten Interfaceschaltungen der ersten und zweiten Gruppe von Interfaceschaltungen;
- Versorgen der beiden Gruppen von Interfaceschaltungen mit einer separaten Versorgungsspannung;
- Erzeugen von Testsignalen und Ausgabe der Testsignale über
25 die erste Gruppe von Interfaceschaltungen;
- Empfangen der Testsignale über die zweite Gruppe von Interfaceschaltungen und
- Vergleich der empfangenen Testsignale mit Vorgabewerten für fehlerfreie Funktion der Interfaceschaltungen.

30

8. Verfahren nach Anspruch 7 zum Selbsttest von Interfaceschaltungen eines Halbleiterbausteins nach einem der Ansprüche 2 bis 6,
bei dem nach Abarbeiten der von der ersten Gruppe ausgegeben
35 und von der zweiten Gruppe von Interfaceschaltungen empfangenen Testsignale die Testrichtung umgedreht wird,

derart daß die von der mit der zweiten Gruppe zusammenwirken-
de Schaltung erzeugten Testsignale über die zweite Gruppe von
Interfaceschaltungen ausgegeben werden, über die erste Gruppe
von Interfaceschaltungen empfangen werden, und die empfangene-
5 nen Testsignale mit Vorgabewerten für fehlerfreie Funktion
der Interfaceschaltungen verglichen werden.

9. Verfahren nach Anspruch 7 oder 8, bei dem Testsignale mit
pseudo-zufälliger Verteilung erzeugt werden, aus den empfan-
10 gen Testsignalen eine Signatur berechnet wird, und die Si-
gnatur mit einer Vorgabesignatur für fehlerfreie Funktion der
Interfaceschaltungen verglichen wird.

10. Verfahren nach einem der Ansprüche 7 bis 9, bei dem die
15 Verbindung der zugeordneten Interfaceschaltungen resistiv,
kapazitiv oder induktiv beeinflußt wird, um den Einfluß von
Störgrößen in den Selbsttest einzubeziehen.

11. Verfahren nach einem der Ansprüche 7 bis 10, bei dem auf
20 zumindest eine der Versorgungsspannungen der Interfacegruppen
niederfrequente Signalspannungen aufmoduliert werden.

12. Verfahren nach Anspruch 11, bei dem auf beide Versor-
25 gungsspannungen zwei niederfrequente Sinussignale unter-
schiedlicher Frequenz aufmoduliert werden.

Zusammenfassung

Ein Halbleiterbaustein mit einer Mehrzahl von Interfaceschaltungen weist eine Anordnung zum Selbsttest von Interfaceschaltungen auf, welche umfaßt

- zwei gleich große Gruppen von Interfaceschaltungen (12a,12b,14a,14b), derart daß jeder Interfaceschaltung der ersten Gruppe (12a,12b) genau eine Interfaceschaltung der zweiten Gruppe (14a,14b) zugeordnet ist,

- eine mit der ersten Gruppe (12a,12b) zusammenwirkende Schaltung (32a,32b) zur Erzeugung von über die Interfaceschaltungen der ersten Gruppe (12a,12b) ausgebbaren Testsignalen;

- eine mit der zweiten Gruppe (14a,14b) zusammenwirkende Schaltung (30) zum Empfangen und Verarbeiten von über die Interfaceschaltungen der zweiten Gruppe (14a,14b) empfangenen Testsignalen, so daß eine Verbindung (52,54) der zugeordneten Interfaceschaltungen der ersten und zweiten Gruppe einen Selbsttest ermöglicht, wobei die erste und zweite Gruppe von Interfaceschaltungen eine getrennte Spannungsversorgung (18,19) aufweisen. Dadurch ist eine gute Testabdeckung durch eine getrennte Variation der Spannung von sendender und empfangender Gruppe möglich.

Figur 1

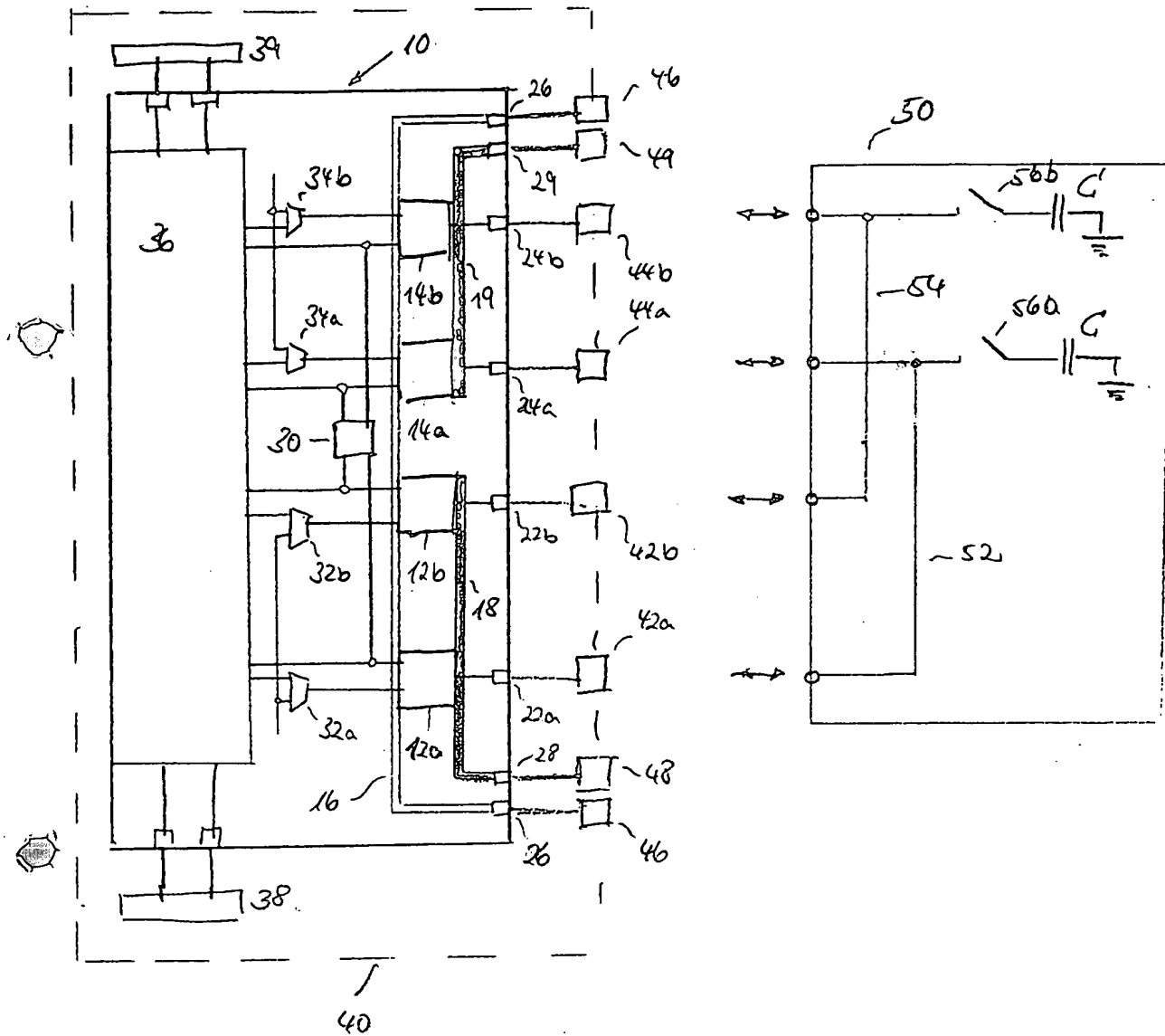


Fig 1

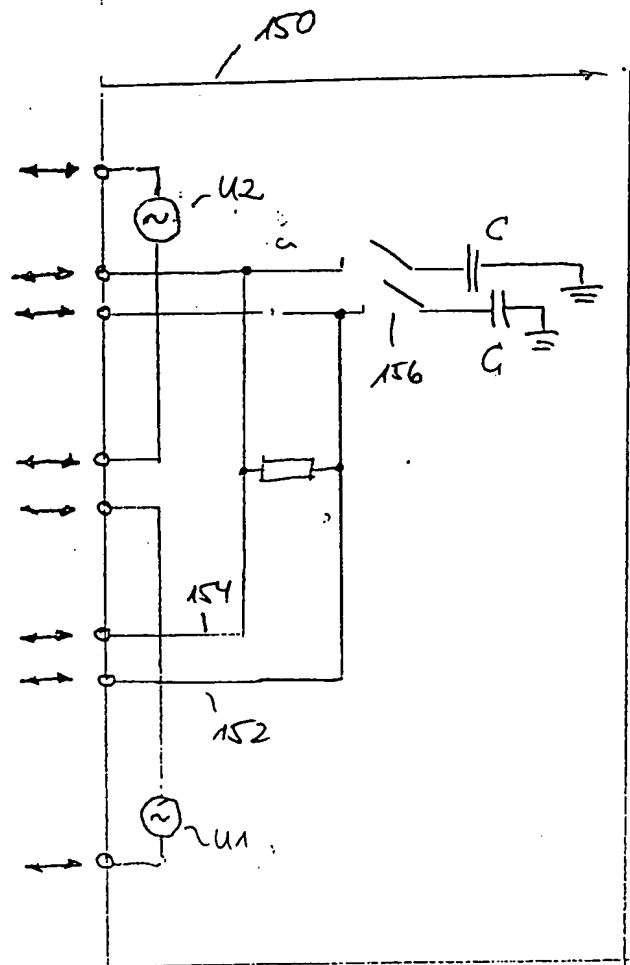
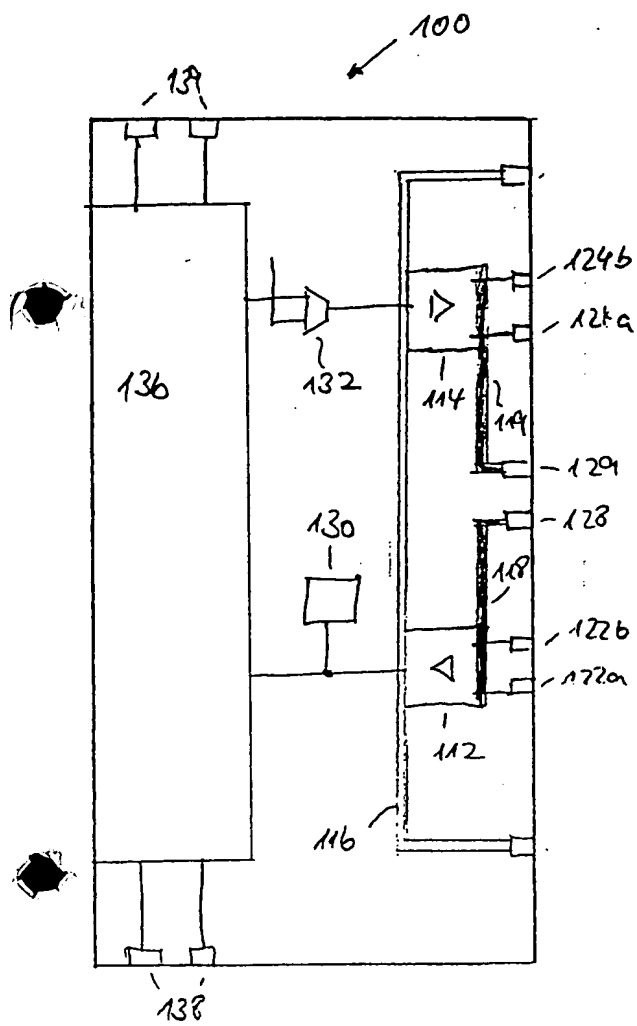


Fig 2

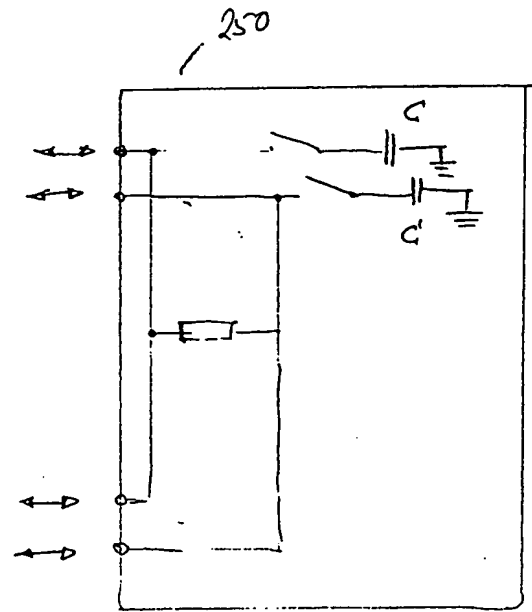
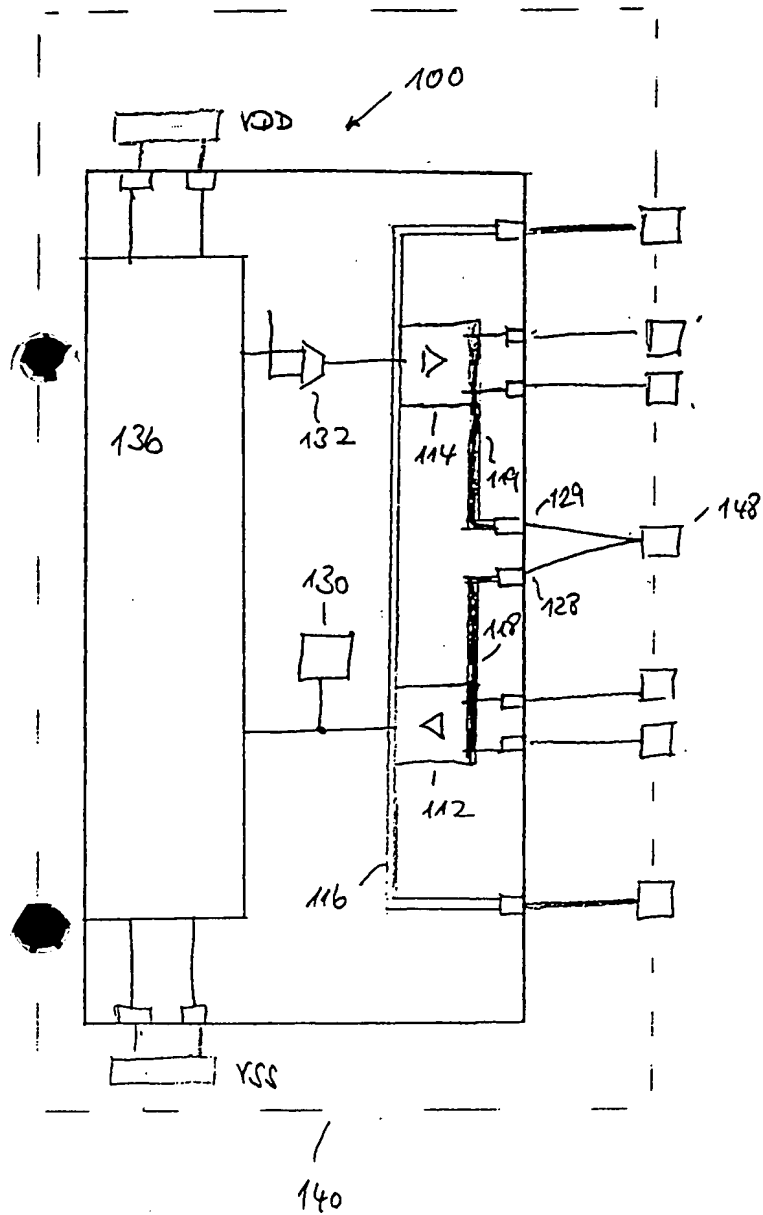


Fig 3